

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07176871 A

(43) Date of publication of application: 14 . 07 . 95

(51) Int. Cl

H05K 3/46

H05K 3/40

(21) Application number: 05321675

(22) Date of filing: 21 . 12 . 93

(71) Applicant

MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor:

MITAMURA SADAO
NAKAMURA SHINJI
TAKENAKA TOSHIAKI
KISHIMOTO KUNIO
NISHII TOSHIHIRO
OTANI HIROYUKI
SATO SHOJI
HIGASHIDA TAKAAKI

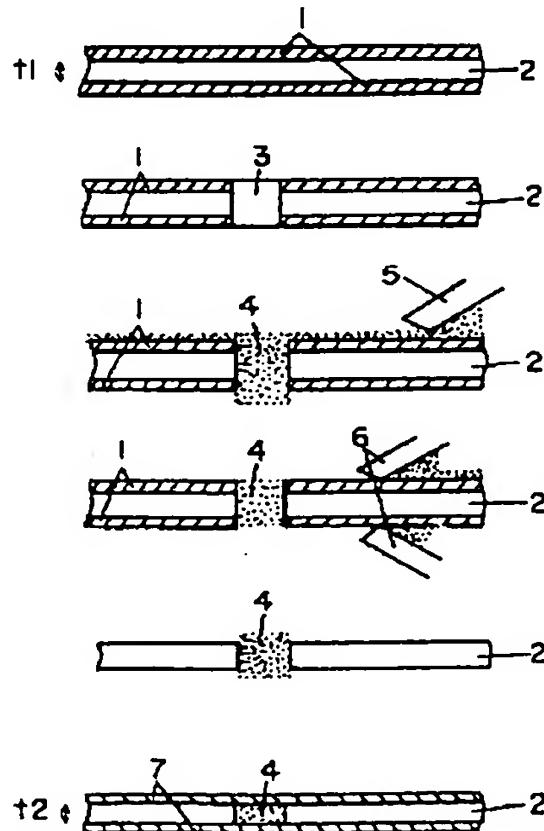
(54) MANUFACTURE OF RESIN MULTILAYERED BOARD

(57) Abstract:

PURPOSE: To quantify the fill of paste by printing when a viahole is filled with conductive paste, and form a resin multilayer board of uniform quality.

CONSTITUTION: A resin board 2 is clamped by release films 2, and a through hole 3 is formed. After conductive paste 4 is buried in the through hole 3 with a first squeegee 5 having rubber elasticity so as to overflow, the paste 4 in unnecessary parts is scratched off with a second hard squeegee 6 so as to form the same level face as the film 1 surface. Thereby the paste amount of the through hole 3 part is quantified.

COPYRIGHT: (C)1995,JPO



| | | | |
|--------------------------------------|---|---------------|--------|
| (51) Int.Cl.* H 05 K 3/46 3/40 | 識別記号 T 6921-4E N 6921-4E K 7511-4E | 庁内整理番号 F I | 技術表示箇所 |
|--------------------------------------|---|---------------|--------|

審査請求 未請求 請求項の数4 OL (全5頁)

| | |
|-----------------------------|--|
| (21)出願番号 特願平5-321675 | (71)出願人 000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地 |
| (22)出願日 平成5年(1993)12月21日 | (72)発明者 三田村 貞雄 大阪府門真市大字門真1006番地 松下電器 産業株式会社内 |
| | (72)発明者 中村 健治 大阪府門真市大字門真1006番地 松下電器 産業株式会社内 |
| | (72)発明者 竹中 敏昭 大阪府門真市大字門真1006番地 松下電器 産業株式会社内 |
| | (74)代理人 弁理士 小銀治 明 (外2名) 最終頁に続く |

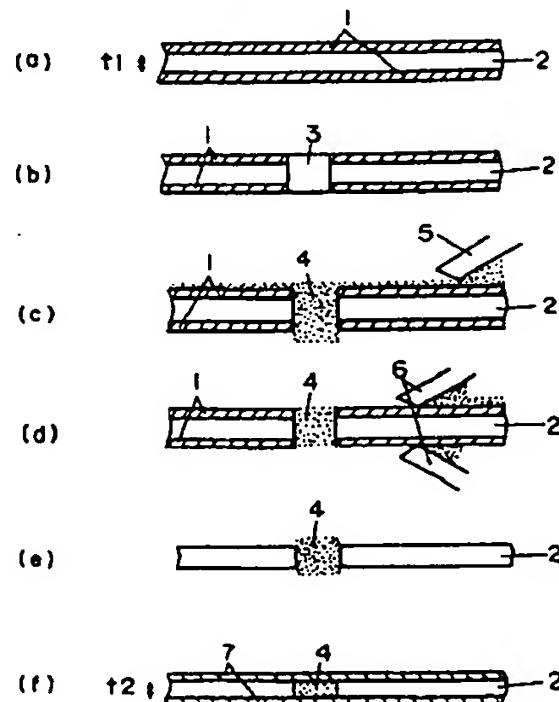
(54)【発明の名称】樹脂多層基板の製造方法

(57)【要約】

【目的】Viaホールへの導電ペーストの充填において、印刷によるペースト充填量を定量化させ、均質な樹脂多層基板を形成する。

【構成】離型性フィルム1で狭持され、スルーホール3が設けられた樹脂基板2に、導電ペースト4を第一のゴム弾性を有するスキージ5で、スルーホール3表面に溢れる形で埋め込んだ後、第二のハードなスキージ6で不要部のペースト4を、フィルム1面と面一に掻き取り、スルーホール3部のペースト量を定量化させる。

- 1 縮型性フィルム
- 2 アラミドエポキシシート(多孔質基材)
- 3 貫通孔
- 4 導電性ペースト
- 5 ソフトスキージ
- 6 ハードスキージ
- 7 金属箔



【特許請求の範囲】

【請求項1】離型性フィルムを具備した被圧縮性を有する多孔質基材に貫通孔を設け、前記貫通孔に導電性ペーストを充填する工程と、前記貫通孔に充填された前記導電性ペーストの充填量を均一にする工程とを有する樹脂多層基板の製造方法。

【請求項2】離型性フィルムを具備した被圧縮性を有する多孔質基材に貫通孔を設け、前記貫通孔に導電性ペーストを貫通孔の体積以上の導電ペーストを充填し、充填後に貫通孔より溢れた導電性ペーストを前記離型性フィルム面と面一に掻き取り、充填量を均一にする請求項1記載の樹脂多層基板の製造方法。

【請求項3】離型性フィルムを具備した被圧縮性を有する多孔質基材に貫通孔を設け、前記貫通孔に導電性ペーストを充填する工程と、導電性ペーストの充填量を均一にする各工程において、個々のスキージ硬度が異なり、充填量を均一にする工程のスキージが、硬度大なるスキージを備えた印刷機で充填する請求項1記載の樹脂多層基板の製造方法。

【請求項4】ゴム弾性を有するスキージを用いて導電性ペーストを充填する工程が実施され、金属、およびセラミックからなるスキージを用いて導電性ペーストの充填量を均一にする工程が実施される請求項1記載の樹脂多層基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、両面に金属箔を有する樹脂多層回路基板の製造方法に関する。

【0002】

【従来の技術】近年、電子機器の小型化、高密度化に伴い、産業用にとどまらず民生用の分野においても多層回路基板が強く要望されるようになってきた。このような多層回路基板では、複数層の回路パターンの間をインナビアホール接続する接続方法および信頼度の高い構造が必要である。

【0003】以下従来の2層回路基板の製造方法について説明する。図2(a)～(f)は従来の2層回路基板の製造方法を示す工程断面図である。まず、図2(a)に示すように、両面に離型性フィルム21を備えた多孔質基材22を用いる。この多孔質基材としては、例えば芳香族ポリアミド繊維に熱硬化性エポキシ樹脂を含浸させ、内部に空孔を有する複合材からなる基材(以下アラミドーエポキシシートと称する)が用いられる。

【0004】次に図2(b)に示すようにアラミドーエポキシシート22に例えばレーザーなどにより回路に合致した貫通孔23を形成する。

【0005】次に図2(c)に示すように貫通孔23に導電性ペースト24を印刷により充填する。この導電性ペースト24は離型性フィルム21を印刷マスクとして印刷することにより充填される。

【0006】次に図2(d)に示すように、アラミドーエポキシシート22の離型性フィルム21を剥離すると貫通孔23の内部に導電性ペースト24が充填されている。

【0007】次に図2(e)に示すように、アラミドーエポキシシート22の両面に銅箔27を張り付けた後、アラミドーエポキシシート22と銅箔27とを加熱加圧により本接着するとともに、導電性ペースト24を硬化させる。

【0008】次に図2(f)に示すように、銅箔27を選択的にエッチングして第1の回路パターン27aおよび第2の回路パターン27bを形成する。

【0009】このようにして、第1の回路パターン27aと第2の回路パターン27bとは貫通孔23に充填された導電性ペースト24によってインナビアホール接続され、2層配線回路基板28が得られる。

【0010】

【発明が解決しようとする課題】しかしながら上記の従来の構成では、次のような課題を有していた。

【0011】第1に、従来の構成においては、貫通孔に導電性ペーストを充填する印刷工程において、図2(c)に示すように貫通孔に充填される導電性ペーストが充分に充填されず、かつ充填量にもばらつきが生じ、そのために加熱加圧後の導電性ペーストの密度にもばらつきが生じ、導電性ペーストと金属箔間の抵抗値にもばらつきが生じていた。

【0012】第2に、従来の構成においては、図2(c)に示すように、離型性フィルム21の厚み以上に導電性ペースト24がt24分垂れ下がった形状で残ることがある。

【0013】この状態でアラミドーエポキシシート22の上に銅箔27を張り付けると、垂れ下がった導電性ペーストt24の逃げ場がなくなり、図3(a)に示すように、銅箔37とアラミドーエポキシシート32との隙間に導電性ペースト34が入り込むことがある。

【0014】このようなアラミドーエポキシシート32の銅箔37をエッチングして回路パターン37bを形成すると、図3(b)に示すように、第2の銅箔37bと絶縁基板32との間に入り込んでいた導電性ペースト34によって短絡路34bが形成され、近接する回路パターン間の短絡不良の原因となる。

【0015】以上のような課題を有しているために、従来の回路形成用基板では単位面積当たりに形成できるインナビアホール接続の個数および回路パターン密度に限界があり、今後ますます需要が増大する高密度実装用多層基板を実現することが困難である。

【0016】本発明は上記従来の課題を解決するもので、インナビアホール接続時の導電性ペーストおよび導電性ペーストと金属箔間の接続抵抗を下げ、かつ近接したインナビアホール間の短絡不良をなくした高性能、高

信頼性および高品質の回路基板を実現するための回路形成用基板の製造方法、および製造装置を提供することを目的とする。

【0017】

【課題を解決するための手段】この目的を達成するためには本発明の回路形成用基板の製造方法は、離型性フィルムを備えたアラミドーエポキシシートに貫通孔を設け、貫通孔に導電性ベーストをゴム弾性を有したスキージで印刷充填し、更にゴムスキージで印刷充填後のベーストを、ハードスキージで離型性フィルム面と面一になるように再充填することにより貫通孔内のベースト量を増加させ、更に定量化する工程を有したものである。

【0018】

【作用】このようにゴム弾性を有する第一のスキージで、貫通孔に導電ベーストをフィルム上に残す形で印刷充填した後に、第二のハードスキージで、残った導電性ベーストを離型性フィルム面と面一になるように再充填することにより、貫通孔内の導電性ベースト量が増加すると共に貫通孔のベースト量が定量化される。

【0019】導電性ベーストの充填量が定量化され必要な量以上のはみ出しをなくすことにより、絶縁基板とその両面に張り付けられた金属箔との間に余分な導電性ベーストの侵入がなくなり、近接する回路パターン間の短絡不良の発生を防止でき、ファインパターンの形成と、導電ベーストが従来工法以上に緻密化されるため、低抵抗接続が可能となる。

【0020】

【実施例】以下本発明の一実施例における回路形成用基板の製造方法について、図面を参照しながら説明する。

【0021】図1(a)～(f)は本発明の第1の実施例における回路形成用基板の製造工程を示す工程断面図である。

【0022】まず図1(a)に示すように、両面にポリエスチルなどの離型性フィルム1を備えた厚さ t_1 のアラミドーエポキシシート2を準備する。

【0023】次に図1(b)に示すように、アラミドーエポキシシート2の所定の箇所にレーザ加工法などを利用して貫通孔3を形成する。

【0024】次に図1(c)に示すように、貫通孔3に導電性ベースト4を充填する。導電性ベースト4を充填する方法としては、貫通孔3を有するアラミドーエポキシシート2を印刷機(図示せず)のテーブル上に設置し、直接導電性ベースト4を離型性フィルム1上的一部分に載せ、ゴム弾性のある例えば硬度約60度のスキージ5で導電ベーストを貫通孔より溢れる形で印刷する。

【0025】この時、上面の離型性フィルム1は印刷マスクの役割と、アラミドーエポキシシート2の表面の汚染防止の役割を果たしている。

【0026】この段階ですでに導電性ベースト4のバインダの一部はアラミドーエポキシシート2側へ浸透し、

導電性ベースト4の内部ではバインダに対する導電物質の構成比が漸次増大して行く。

【0027】次に図1(d)に示すように、離型性フィルムの両面から例えば金属のスキージ6で離型性フィルムの上部に残ったベーストと、下部にはみでたベーストを離型性フィルム面と面一になるように掻き取り、貫通孔への充填量を均一にする。

【0028】更に図1(e)に示すようにアラミドーエポキシシート2の両面から離型性フィルム1を剥離する。

【0029】次に図1(f)に示すように、アラミドーエポキシシート2の両面に銅箔などの金属箔5を張り付ける。この状態で加熱加圧することにより、図1(f)に示すように、アラミドーエポキシシート2が圧縮されるとともにアラミドーエポキシシート2と金属箔5とが接着される。

【0030】この工程において、導電性ベーストも圧縮されるが、そのときに導電物質間からバインダ成分が押し出され、導電物質同士および導電物質と金属箔間の結合が強固になり、導電性ベースト中の導電物質が緻密化されるとともに、アラミドーエポキシシート2の厚さは t_1 に圧縮され、アラミドーエポキシシート2の一構成成分であるエポキシ樹脂および導電性ベースト4が硬化する。

【0031】本実施例をさらに詳しく説明すると、アラミドーエポキシシート2として厚さ t_1 が150～220μm、空孔率が10～60%のアラミドーエポキシシートを用いた場合、図1(f)に示す加熱加圧による圧縮工程の後の厚さ、すなわち t_2 は60～200μm、空孔率は0～5%となり、空孔の形状も小さくなっている。

【0032】以上説明した実施例において使用する導電性ベースト4に含有される導電物質としては、銀、金、銀バラジウム、銅およびこれらの合金の一種以上のものが使用できる。

【0033】また導電物質の形状は球状であることが望ましい。すなわち、導電物質として球状の金属粒子を使用することにより、導電性ベースト4に圧力が加えられた時、金属粒子同士の接触部からバインダを押し出し易く、また金属粒子同士の接触部が塑性変形しやすいために金属粒子同士および金属粒子と金属箔とが強固に結合し、インナビアホール接続時の抵抗を極めて低くすることができる。

【0034】更に、導電ベーストを掻き取り充填量を均一にするスキージ6は、金属、セラミックなど硬質材料の方が望ましい。

【0035】

【発明の効果】以上のように本発明は、離型性フィルムを備えた被圧縮性を有する不織布と熱硬化性樹脂の複合材からなる多孔質基材に貫通孔を設け、その貫通孔に導

電性ペーストを充填する工程において、貫通孔に導電性ペーストを定量的に充填できるため、金属粒子がより緻密化され抵抗値のばらつきを押さえ、更に低抵抗で高信頼性のインナビアホール接続を有する回路形成用基板の製造方法を実現できる。

【0036】したがって本発明によれば、高密度回路基板、低回路インピーダンスが要求される低雑音用回路基板または高周波用回路基板などを容易に実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例における回路形成用基板の製造方法を示す工程断面図

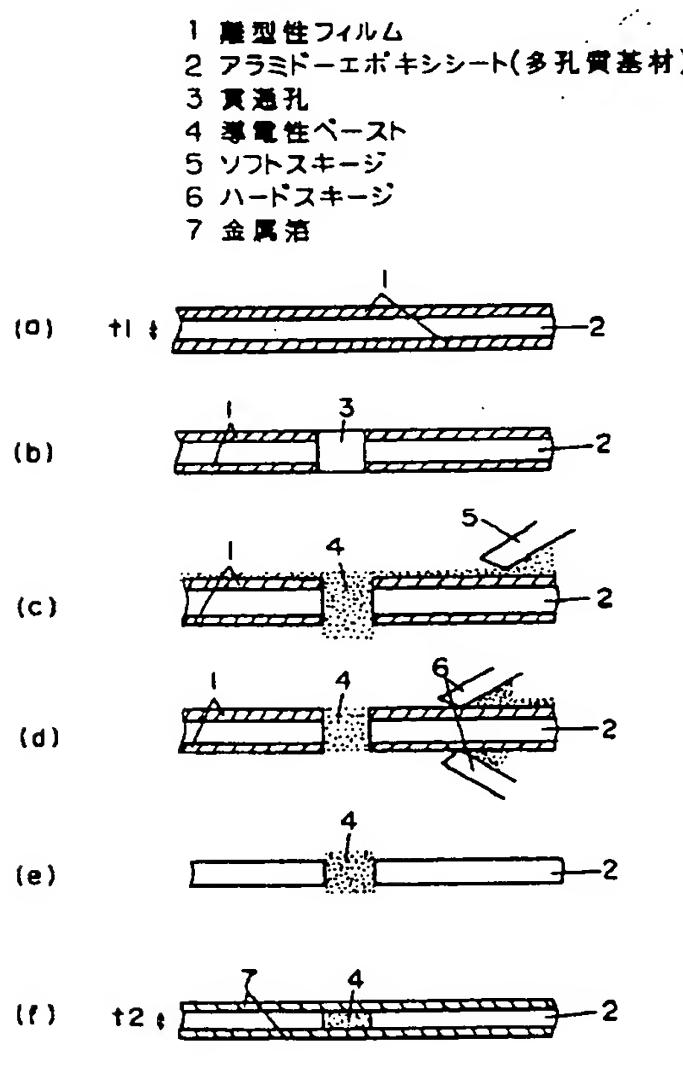
【図2】従来の2層回路基板の製造方法を示す工程断面*

【図3】従来の2層回路基板の製造方法における課題を示す断面図

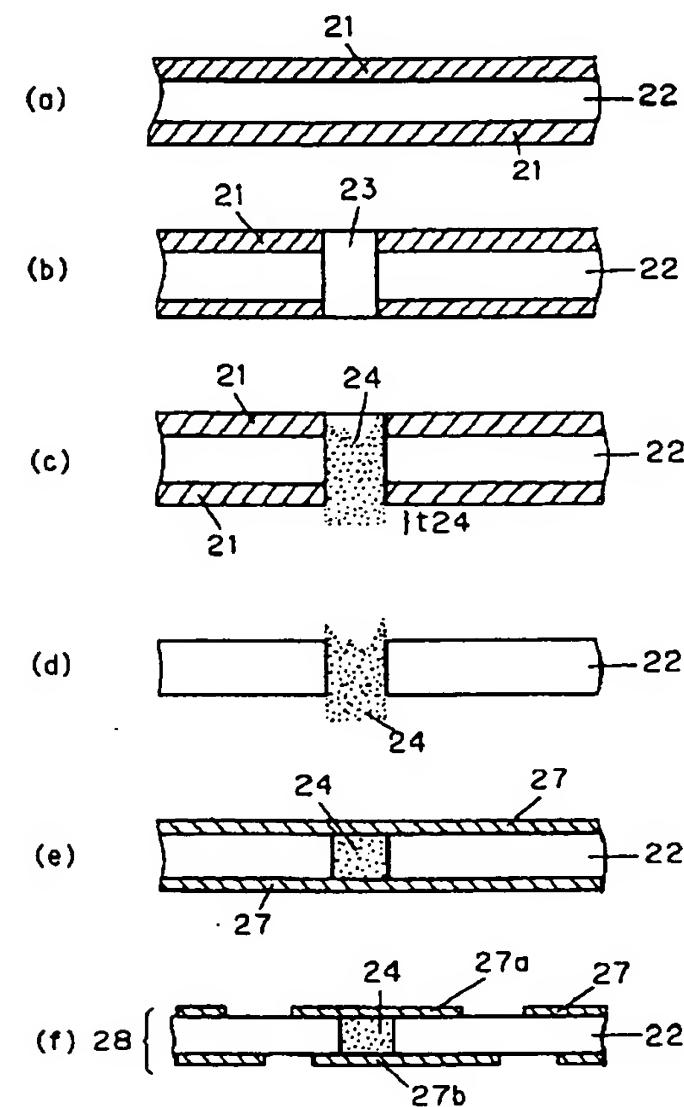
【符号の説明】

- 1 離型性フィルム
- 2 アラミドエポキシシート(多孔質基材)
- 3 貫通孔
- 4 導電性ペースト
- 5 ソフトスキージ
- 6 ハードスキージ
- 7 金属箔

【図1】



【図2】



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-176871

(43)公開日 平成7年(1995)7月14日

(51)Int.Cl.⁶
H 05 K 3/46
3/40

識別記号 庁内整理番号
T 6921-4E
N 6921-4E
K 7511-4E

F I

技術表示箇所

審査請求 未請求 請求項の数4 OL (全5頁)

(21)出願番号 特願平5-321675

(22)出願日 平成5年(1993)12月21日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 三田村 貞雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 中村 貞治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 竹中 敏昭

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 小銀治 明 (外2名)

最終頁に続く

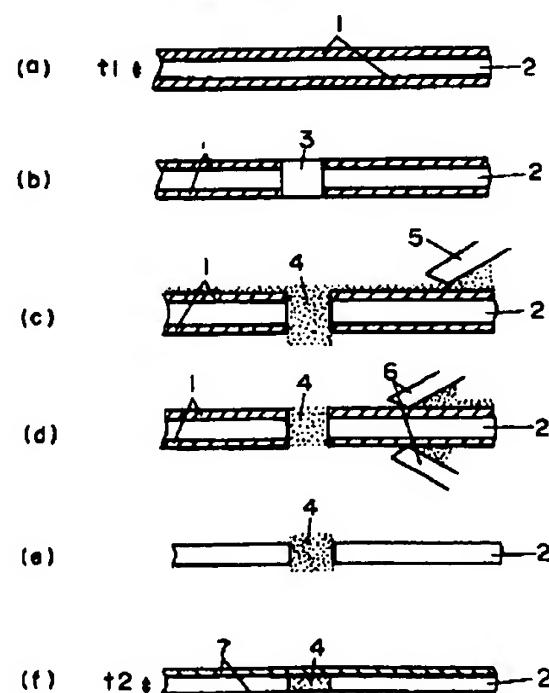
(54)【発明の名称】樹脂多層基板の製造方法

(57)【要約】

【目的】Viaホールへの導電ペーストの充填において、印刷によるペースト充填量を定量化させ、均質な樹脂多層基板を形成する。

【構成】離型性フィルム1で挟持され、スルーホール3が設けられた樹脂基板2に、導電ペースト4を第一のゴム弾性を有するスキージ5で、スルーホール3表面に溢れる形で埋め込んだ後、第二のハードなスキージ6で不要部のペースト4を、フィルム1面と面一に掻き取り、スルーホール3部のペースト量を定量化する。

- 1 離型性フィルム
- 2 アラミドエポキシシート(多孔質基材)
- 3 貫通孔
- 4 導電性ペースト
- 5 ソフトスキージ
- 6 ハードスキージ
- 7 金属箔



【特許請求の範囲】

【請求項1】離型性フィルムを具備した被圧縮性を有する多孔質基材に貫通孔を設け、前記貫通孔に導電性ペーストを充填する工程と、前記貫通孔に充填された前記導電性ペーストの充填量を均一にする工程とを有する樹脂多層基板の製造方法。

【請求項2】離型性フィルムを具備した被圧縮性を有する多孔質基材に貫通孔を設け、前記貫通孔に導電性ペーストを貫通孔の体積以上の導電ペーストを充填し、充填後に貫通孔より溢れた導電性ペーストを前記離型性フィルム面と面一に搔き取り、充填量を均一にする請求項1記載の樹脂多層基板の製造方法。

【請求項3】離型性フィルムを具備した被圧縮性を有する多孔質基材に貫通孔を設け、前記貫通孔に導電性ペーストを充填する工程と、導電性ペーストの充填量を均一にする各工程において、個々のスキージ硬度が異なり、充填量を均一にする工程のスキージが、硬度大なるスキージを備えた印刷機で充填する請求項1記載の樹脂多層基板の製造方法。

【請求項4】ゴム弾性を有するスキージを用いて導電性ペーストを充填する工程が実施され、金属、およびセラミックからなるスキージを用いて導電性ペーストの充填量を均一にする工程が実施される請求項1記載の樹脂多層基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、両面に金属箔を有する樹脂多層回路基板の製造方法に関する。

【0002】

【従来の技術】近年、電子機器の小型化、高密度化に伴い、産業用にとどまらず民生用の分野においても多層回路基板が強く要望されるようになってきた。このような多層回路基板では、複数層の回路パターンの間をインナビアホール接続する接続方法および信頼度の高い構造が必要である。

【0003】以下従来の2層回路基板の製造方法について説明する。図2(a)～(f)は従来の2層回路基板の製造方法を示す工程断面図である。まず、図2(a)に示すように、両面に離型性フィルム21を備えた多孔質基材22を用いる。この多孔質基材としては、例えば芳香族ポリアミド繊維に熱硬化性エポキシ樹脂を含浸させ、内部に空孔を有する複合材からなる基材(以下アラミドエポキシシートと称する)が用いられる。

【0004】次に図2(b)に示すようにアラミドエポキシシート22に例えばレーザーなどにより回路に合致した貫通孔23を形成する。

【0005】次に図2(c)に示すように貫通孔23に導電性ペースト24を印刷により充填する。この導電性ペースト24は離型性フィルム21を印刷マスクとして印刷することにより充填される。

10 【0006】次に図2(d)に示すように、アラミドエポキシシート22の離型性フィルム21を剥離すると貫通孔23の内部に導電性ペースト24が充填されている。

【0007】次に図2(e)に示すように、アラミドエポキシシート22の両面に銅箔27を張り付けた後、アラミドエポキシシート22と銅箔27とを加熱加圧により本接着するとともに、導電性ペースト24を硬化させる。

10 【0008】次に図2(f)に示すように、銅箔27を選択的にエッチングして第1の回路パターン27aおよび第2の回路パターン27bを形成する。

【0009】このようにして、第1の回路パターン27aと第2の回路パターン27bとは貫通孔23に充填された導電性ペースト24によってインナビアホール接続され、2層配線回路基板28が得られる。

【0010】

【発明が解決しようとする課題】しかしながら上記の従来の構成では、次のような課題を有していた。

20 【0011】第1に、従来の構成においては、貫通孔に導電性ペーストを充填する印刷工程において、図2(c)に示すように貫通孔に充填される導電性ペーストが充分に充填されず、かつ充填量にもばらつきが生じ、そのために加熱加圧後の導電性ペーストの密度にもばらつきが生じ、導電性ペーストと金属箔間の抵抗値にもばらつきが生じていた。

【0012】第2に、従来の構成においては、図2(c)に示すように、離型性フィルム21の厚み以上に導電性ペースト24がt24分垂れ下がった形状で残ることがある。

20 【0013】この状態でアラミドエポキシシート22の上に銅箔27を張り付けると、垂れ下がった導電性ペーストt24の迷げ場がなくなり、図3(a)に示すように、銅箔37とアラミドエポキシシート32との隙間に導電性ペースト34が入り込むことがある。

【0014】このようなアラミドエポキシシート32の銅箔37をエッチングして回路パターン37bを形成すると、図3(b)に示すように、第2の銅箔37bと絶縁基板32との間に入り込んでいた導電性ペースト34によって短絡路34bが形成され、近接する回路パターン間の短絡不良の原因となる。

【0015】以上のような課題を有しているために、従来の回路形成用基板では単位面積当たりに形成できるインナビアホール接続の個数および回路パターン密度に限界があり、今後ますます需要が増大する高密度実装用多層基板を実現することが困難である。

【0016】本発明は上記従来の課題を解決するもので、インナビアホール接続時の導電性ペーストおよび導電性ペーストと金属箔間の接続抵抗を下げ、かつ近接したインナビアホール間の短絡不良をなくした高性能、高

信頼性および高品質の回路基板を実現するための回路形成用基板の製造方法、および製造装置を提供することを目的とする。

【0017】

【課題を解決するための手段】この目的を達成するため に本発明の回路形成用基板の製造方法は、離型性フィルムを備えたアラミドーエポキシシートに貫通孔を設け、 貫通孔に導電性ペーストをゴム弾性を有したスキージで印刷充填し、更にゴムスキージで印刷充填後のペーストを、 ハードスキージで離型性フィルム面と面一になるよう に再充填することにより貫通孔内のペースト量を増加させ、 更に定量化する工程を有したものである。

【0018】

【作用】このようにゴム弾性を有する第一のスキージで、 貫通孔に導電ペーストをフィルム上に残す形で印刷充填した後に、 第二のハードスキージで、 残った導電性ペーストを離型性フィルム面と面一になるように再充填することにより、 貫通孔内の導電性ペースト量が増加す ると共に貫通孔のペースト量が定量化される。

【0019】導電性ペーストの充填量が定量化され必要量以上のはみ出しをなくすことにより、 絶縁基板とその両面に張り付けられた金属箔との間に余分な導電性ペーストの侵入がなくなり、 近接する回路パターン間の短絡不良の発生を防止でき、 フайнパターンの形成と、 導電ペーストが従来工法以上に緻密化されるため、 低抵抗接続が可能となる。

【0020】

【実施例】以下本発明の一実施例における回路形成用基板の製造方法について、 図面を参照しながら説明する。

【0021】図1 (a) ~ (f) は本発明の第1の実施例における回路形成用基板の製造工程を示す工程断面図である。

【0022】まず図1 (a) に示すように、 両面にボリエステルなどの離型性フィルム1を備えた厚さ t_1 のアラミドーエポキシシート2を準備する。

【0023】次に図1 (b) に示すように、 アラミドーエポキシシート2の所定の箇所にレーザ加工法などを利用して貫通孔3を形成する。

【0024】次に図1 (c) に示すように、 貫通孔3に導電性ペースト4を充填する。導電性ペースト4を充填する方法としては、 貫通孔3を有するアラミドーエポキシシート2を印刷機(図示せず)のテーブル上に設置し、 直接導電性ペースト4を離型性フィルム1上的一部分に載せ、 ゴム弾性のある例えば硬度約60度のスキージ5で導電ペーストを貫通孔より溢れる形で印刷する。

【0025】この時、 上面の離型性フィルム1は印刷マスクの役割と、 アラミドーエポキシシート2の表面の汚染防止の役割を果たしている。

【0026】この段階ですでに導電性ペースト4のバインダの一部はアラミドーエポキシシート2側へ浸透し、

導電性ペースト4の内部ではバインダに対する導電物質の構成比が漸次増大して行く。

【0027】次に図1 (d) に示すように、 離型性フィルムの両面から例えば金属のスキージ6で離型性フィルムの上部に残ったペーストと、 下部にはみでたペーストを離型性フィルム面と面一になるように掻き取り、 貫通孔への充填量を均一にする。

10

【0028】更に図1 (e) に示すようにアラミドーエポキシシート2の両面から離型性フィルム1を剥離する。

【0029】次に図1 (f) に示すように、 アラミドーエポキシシート2の両面に銅箔などの金属箔5を張り付ける。この状態で加熱加圧することにより、 図1 (f) に示すように、 アラミドーエポキシシート2が圧縮されるとともにアラミドーエポキシシート2と金属箔5とが接着される。

20

【0030】この工程において、 導電性ペーストも圧縮されるが、 そのときに導電物質間からバインダ成分が押し出され、 導電物質同士および導電物質と金属箔間の結合が強固になり、 導電性ペースト中の導電物質が緻密化されるとともに、 アラミドーエポキシシート2の厚さは t_2 に圧縮され、 アラミドーエポキシシート2の一構成成分であるエポキシ樹脂および導電性ペースト4が硬化する。

30

【0031】本実施例をさらに詳しく説明すると、 アラミドーエポキシシート2として厚さ t_1 が150~220 μm 、 空孔率が10~60%のアラミドーエポキシシートを用いた場合、 図1 (f) に示す加熱加圧による圧縮工程の後の厚さ、 すなわち t_2 は60~200 μm 、 空孔率は0~5%となり、 空孔の形状も小さくなっている。

40

【0032】以上説明した実施例において使用する導電性ペースト4に含有される導電物質としては、 銀、 金、 銀バラジウム、 銅およびこれらの合金の一種以上のものが使用できる。

【0033】また導電物質の形状は球状であることが望ましい。すなわち、 導電物質として球状の金属粒子を使用することにより、 導電性ペースト4に圧力が加えられた時、 金属粒子同士の接触部からバインダを押し出しやすく、 また金属粒子同士の接触部が塑性変形しやすいために金属粒子同士および金属粒子と金属箔とが強固に結合し、 インナビアホール接続時の抵抗を極めて低くすることができる。

【0034】更に、 導電ペーストを掻き取り充填量を均一にするスキージ6は、 金属、 セラミックなど硬質材料の方が望ましい。

【0035】

【発明の効果】以上のように本発明は、 縮型性フィルムを備えた被圧縮性を有する不織布と熱硬化性樹脂の複合材からなる多孔質基材に貫通孔を設け、 その貫通孔に導

5

電性ペーストを充填する工程において、貫通孔に導電性ペーストを定量的に充填できるため、金属粒子がより緻密化され抵抗値のばらつきを押さえ、更に低抵抗で高信頼性のインナビアホール接続を有する回路形成用基板の製造方法を実現できる。

【0036】したがって本発明によれば、高密度回路基板、低回路インピーダンスが要求される低雑音用回路基板または高周波用回路基板などを容易に実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例における回路形成用基板の製造方法を示す工程断面図

【図2】従来の2層回路基板の製造方法を示す工程断面

6

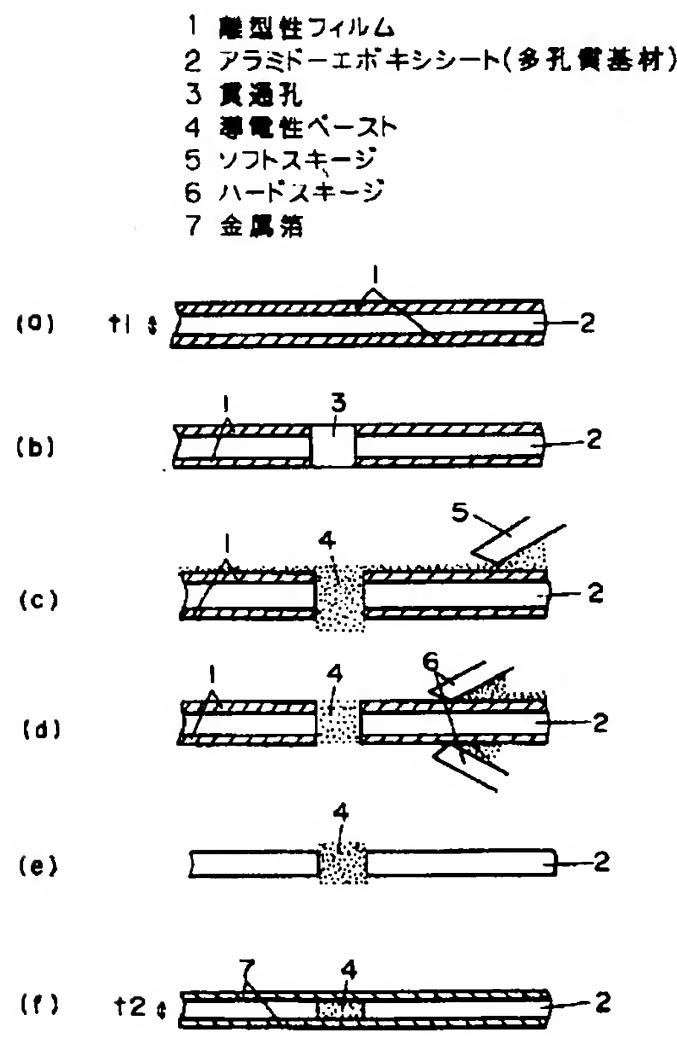
図

【図3】従来の2層回路基板の製造方法における課題を示す断面図

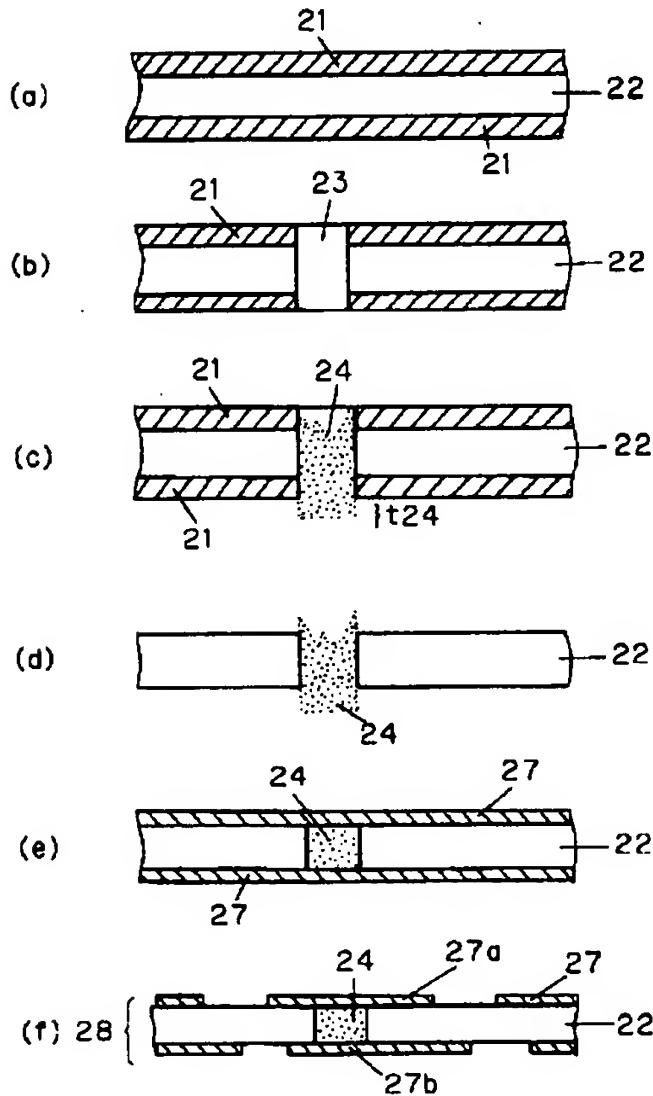
【符号の説明】

- 1 離型性フィルム
- 2 アラミドーエポキシシート(多孔質基材)
- 3 貫通孔
- 4 導電性ペースト
- 5 ソフトスキージ
- 6 ハードスキージ
- 7 金属箔

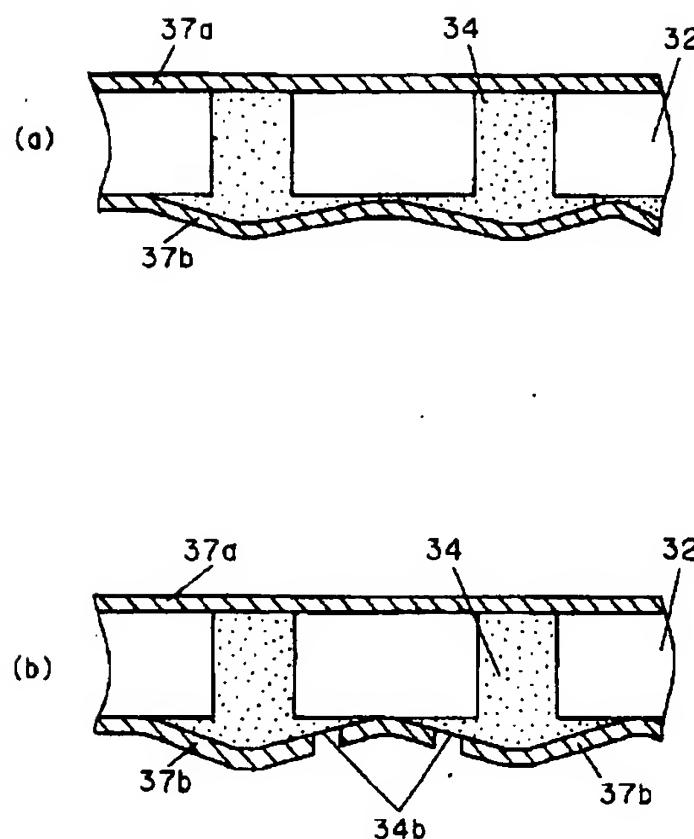
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 岸本 邦雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 西井 利浩

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 大谷 博之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 佐藤 章二

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 東田 隆亮

大阪府門真市大字門真1006番地 松下電器
産業株式会社内